

Verilog: Simulación y Síntesis Implementación en FPGAs

Primer Día

Introducción a Verilog-2001

- Necesidad e importancia de HDLs
- Conceptos de diseño top-down
- Abstracción del lenguaje Verilog
- Bloques básicos de Verilog
- Diseños jerárquicos

Conceptos Básicos

- Modules, port y net declaraciones
- Modelación Estructural
- Modelación Flujo de Datos
- Modelación Comportamiento
- Introducción a Simulación
- Concurrencia
- Introducción al entorno ISE (Xilinx)

Verilog Sintáxis y Semántica

- Tipos de Datos
- Atributos
- Números y valores lógicos
- Arreglos (arrays). Arreglos multidimensionales

Procedimientos, Instrucciones y Operadores

- Operadores
- Operandos
- Bloques Procedimiento
- Full case y Parallel case
- Operador condicional '?'
- Generación de lógica combinacional
- Introducción a Test Bench
- Simulación en el entorno ISE
- Laboratorio: Diseño de Lógica Combinacional

Segundo Día

Modelo RTL de Lógica Secuencial

- Asignaciones bloqueantes y no-bloqueantes
- Instrucciones Secuenciales
- Generación de lógica secuencial
- Modelado de Memorias RAMs y ROMs
- Laboratorio: Diseño de Lógica Secuencial y Combinacional.

Test Benches

- Importancia de un buen Test Bench
- Generación de relojes y señales como estímulos
- Uso de Tareas y Funciones del Sistema
- Directivas de Compilación
- Distintos ejemplos de TB
- Simulación en el entorno ISE o ModelSim

Tareas (Tasks) y Funciones

- Tareas
- Funciones
- Uso de múltiples archivos .v
- Laboratorio: Use de Tareas y Funciones

Síntesis de Máquinas de Estado Finitas (FSM)

- Verilog para modelar y sintetizar FSMs
- Código Verilog para distintas FSMs
- Ventajas y desventajas de los diferentes tipos de FSMs.
- Asignación de código de estado manual o automática
- Laboratorio: Codificación de FSMs

Tercer Día

Síntesis de Diseños Digitales con Verilog

- Verilog para Síntesis
- Síntesis Sintaxis, Atributos y Directivas
- Inferencia de componentes específicos
- Laboratorio: Uso de ISE y/o Synplify

Dispositivos Lógicos Programables

- Complex Programmable Logic Device (CPLD)
- Lattice MachXO. Xilinx 9500.
- Field Programmable Gates Array (FPGA)
- Xilinx FPGAs. Spartan y Virtex 2
- Diseño top-down usando ISE
- Comprensión de los reportes de ISE
- Inferencia de componentes del FPGA.
- Introducción a mejora de Performance
- Simulación a nivel de compuertas
- Laboratorio: Implementación de un diseño complejo en un FPGA.